

## (12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関  
国際事務局(43)国際公開日  
2001年12月20日 (20.12.2001)

PCT

(10)国際公開番号  
WO 01/97205 A1

(51)国際特許分類7:

G09G 3/36

(21)国際出願番号:

PCT/JP01/05063

(22)国際出願日:

2001年6月14日 (14.06.2001)

(25)国際出願の言語:

日本語

(26)国際公開の言語:

日本語

(30)優先権データ:

特願2000-177927 2000年6月14日 (14.06.2000) JP

(71)出願人(米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).

(72)発明者; および

(75)発明者/出願人(米国についてのみ): 鹿島丈泰 (KASHIMA, Tomohiro) [JP/JP]. 内野勝秀 (UCHINO, Katsuhide) [JP/JP]. 山下淳一 (YAMASHITA, Junichi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).

(74)代理人: 佐藤隆久 (SATOH, Takahisa); 〒111-0052 東京都台東区柳橋2丁目4番2号 宮木ビル4階 創進国際特許事務所 Tokyo (JP).

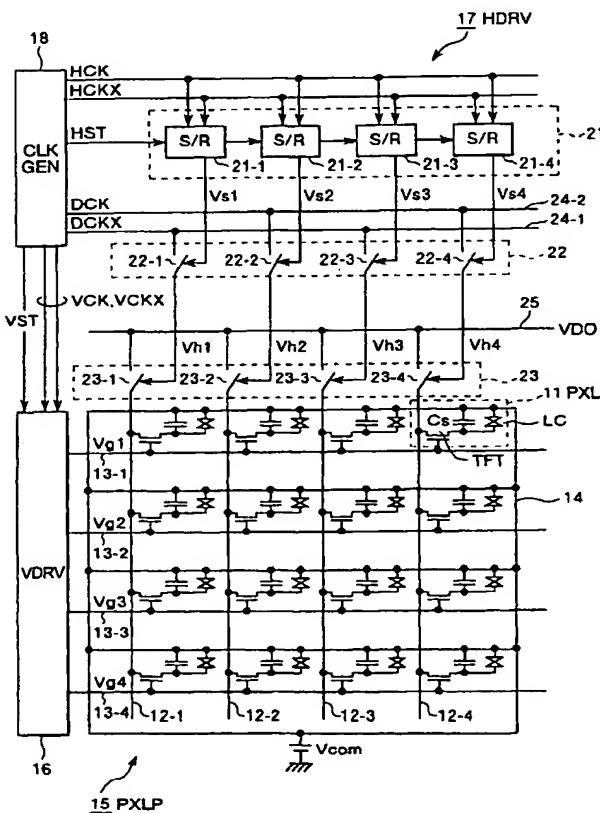
(81)指定国(国内): NO, US.

(84)指定国(広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

[統葉有]

(54)Title: DISPLAY DEVICE AND ITS DRIVING METHOD, AND PROJECTION-TYPE DISPLAY DEVICE

(54)発明の名称: 表示装置およびその駆動方法、ならびに投写型表示装置



(57) Abstract: In a clock drive type horizontal drive circuit (17) of an active matrix type display device, clock signals DCK and DCKX, which have the same periods as and smaller duty ratios than horizontal clock signals HCK and HCKX, are generated by a clock signal generating circuit (18). The clock signals DCK and DCKX are sampled in the forms of shift pulses Vs1-Vs4. Respective switches (23-1)-1 (23-4) in a sampling switch group (23) are driven by using the shift pulses Vs1-Vs4 as sampling pulses Vh1-Vh4 to practice the complete non-overlapping sampling of image signals VDO. With this constitution, vertical stripes which are produced on a display screen by overlapping sampling can be suppressed and a ghost margin can be improved.

WO 01/97205 A1

[統葉有]



添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

アクティブマトリクス型表示装置におけるクロックドライブ方式の水平駆動回路17において、水平クロックHCK, HCKXに対して周期が同じでかつデューティ比が小さいクロックDCK, DCKXをクロック生成回路18で生成し、このクロックDCK, DCKXをソフトパルスVs1～Vs4で抜き取る。そして、これらをサンプリングパルスVh1～Vh4としてサンプリングスイッチ群23の各スイッチ23-1～23-4を駆動することにより、映像信号VDOを完全ノンオーバラップサンプリングにてサンプリングする。これにより、オーバラップサンプリングに起因して表示画面上に縦スジが発生することを抑えることができ、ゴーストマージンを上げることができる。

## 明 紹 書

表示装置およびその駆動方法、ならびに投写型表示装置

## 技術分野

本発明は、表示装置およびその駆動方法、ならびに投写型表示装置（プロジェクタ）に関し、特に水平駆動回路にいわゆるクロックドライブ方式を採用した点順次駆動方式のアクティブマトリクス型表示装置およびその駆動方法、ならびに投写型表示装置に関する。

## 背景技術

表示装置、例えば液晶セルを画素の表示エレメント（電気光学素子）に用いたアクティブマトリクス型液晶表示装置において、点順次駆動方式の水平駆動回路として、例えばクロックドライブ方式を採用した構成のものが知られている。このクロックドライブ方式の水平駆動回路の従来例を図1に示す。図1において、水平駆動回路100は、シフトレジスタ101、クロック抜き取りスイッチ群102およびサンプリングスイッチ群103を有する構成となっている。

シフトレジスタ101は、n段のシフト段（転送段）からなり、水平スタートパルスHSTが与えられると、互いに逆相の水平クロックHCK, HCKXに同期してシフト動作を行う。これにより、シフトレジスタ101の各シフト段からは、図2A～2Fのタイミングチャートに示すように、水平クロックHCK, HCKXの周期と同じパルス幅を持つシフトパルスVs1～Vs<sub>n</sub>が順次出力される。これらシフトパルスVs1～Vs<sub>n</sub>は、クロック抜き取りスイッチ群102の各スイッチ102-1～102-nに与えられる。

クロック抜き取りスイッチ群102のスイッチ102-1～102-nは、各一端が水平クロックHCKX, HCKを入力するクロックライン104-1, 104-2

に交互に接続されており、シフトレジスタ 101 の各シフト段からシフトパルス  $V_{s1} \sim V_{sn}$  が与えられることにより、順次オン状態となって水平クロック  $HCK_X, HCK$  を順に抜き取る。これら抜き取られた各パルスは、図 2 G～2 I に示すようなサンプリングパルス  $V_{h1} \sim V_{hn}$  としてサンプリングスイッチ群 103 の各スイッチ 103-1～103-n に与えられる。

サンプリングスイッチ群 103 のスイッチ 103-1～103-n は、映像信号  $V_{DO}$  を伝送するビデオライン 105 に各一端が接続されており、クロック抜き取りスイッチ群 102 のスイッチ 102-1～102-n で抜き取られて順次与えられるサンプリングパルス  $V_{h1} \sim V_{hn}$  に応答して順にオン状態になることによって映像信号  $V_{DO}$  をサンプリングし、画素部（図示せず）の信号ライン 106-1～106-n に供給する。

上述した従来例に係るクロックドライブ方式の水平駆動回路 100 では、水平クロック  $HCK_X, HCK$  がクロック抜き取りスイッチ群 102 の各スイッチ 102-1～102-n で抜き取られ、サンプリングスイッチ群 103 の各スイッチ 103-1～103-n に対してサンプリングパルス  $V_{h1} \sim V_{hn}$  として与えられるまでの伝送過程において、配線抵抗や寄生容量などに起因してパルスに遅延が生じる。

すると、この伝送過程でのパルスの遅延によって、サンプリングパルス  $V_{h1} \sim V_{hn}$  の波形になまりが生じる。その結果、例えば 2 段目のサンプリングパルス  $V_{h2}$  に着目すると、特に図 3 A～3 C のタイミングチャートから明らかに、2 段目のサンプリングパルス  $V_{h2}$  とその前後の 1 段目、3 段目のサンプリングパルス  $V_{h1}, V_{h3}$  との間に波形のオーバーラップが生じる。

ところで、一般的に、サンプリングスイッチ群 103 の各スイッチ 103-1～103-n がオンする瞬間に、ビデオライン 105 には信号ライン 103-1～103-n との電位の関係から、図 3 D に示すように充放電ノイズが乗ってしまう。

このような状況下において、上述したように、サンプリングパルス  $V_{h2}$  が前

後の段間でオーバーラップしていると、サンプリングパルス  $V_{h2}$  に基づく 2 段目のサンプリングタイミングでは、3 段目のサンプリングスイッチ  $103-3$  がオンすることによって生じる充放電ノイズをサンプリングしてしまう。なお、サンプリングスイッチ  $103-1 \sim 103-n$  は、図 3 A, 3 B, および 3 D に示すように、サンプリングパルス  $V_{h1} \sim V_{hn}$  が “L” レベルになるタイミングでビデオライン  $105$  の電位  $P105$  をサンプルホールドすることになる。

このとき、ビデオライン  $105$  に乗る充放電ノイズにばらつきが生じ、またサンプリングパルス  $V_{h1} \sim V_{hn}$  の各々が “L” レベルになるタイミングにもばらつきが生じるため、サンプリングスイッチ  $103-1 \sim 103-n$  によるサンプリング電位にもばらつきが生じる。その結果、このサンプリング電位のばらつきが表示画面上に継スジとなって現れ、画品位を損なうことになる。

一方、点順次駆動方式のアクティブマトリクス型液晶表示装置では、高精細化に伴って特に水平方向の画素数が増えると、1 系統で入力される映像信号  $VDO$  を、限られた水平有効期間内で全画素について順番にサンプリングするためのサンプリング時間を十分に確保するのが難しくなる。そこで、サンプリング時間を十分に確保するため、図 4 に示すように、映像信号を  $m$  系統 ( $m$  は 2 以上の整数) で並行して入力する一方、水平方向の  $m$  個の画素を単位として  $m$  個のサンプリングスイッチを設け、1 つのサンプリングパルスで  $m$  個のサンプリングスイッチを同時に駆動することによって  $m$  画素単位で順次書き込みを行う方式が採られる事になる。

ここで、単位画素数  $m$  以下の幅を持つ細い黒線を表示する場合を考える。このような黒線表示を行う場合に、映像信号  $VDO$  は、図 5 A に示すように、黒レベル  $BLVL$  の部分がパルス状になり、またそのパルス幅が、図 5 B に示すようなサンプリングパルス  $SMP$   $L$  のパルス幅と等しい波形として入力される。このパルス状の映像信号  $VDO$  は矩形波が理想的であるが、映像信号  $VDO$  を伝送するビデオラインの配線抵抗や寄生容量などに起因して、図 5 C に示すように、パル

ス波形の立ち上がりや立ち下がりがなまってしまう（映像信号VDO'）。なお、図5Aおよび5CのBGLVLは、背景グレーレベルを示している。

このように、立ち上がりや立ち下がりがなまったパルス状の映像信号VDO'をサンプリングパルスVh1～Vhnでサンプルホールドを行うと、本来k段目のサンプリングパルスVhkでパルス状の映像信号VDO'をサンプルホールドする筈が、前段のサンプリングパルスVhk-1で映像信号VDOの立ち上がり部分をサンプルホールドしたり、あるいは次段のサンプリングパルスVhk+1で映像信号VDO'の立ち下がり部分をサンプルホールドすることになる。その結果、ゴーストが発生する。ここで、ゴーストとは、正規の画像からずれて重複して生じる望ましくない妨害像を言う。

サンプリングパルスVhkに対する映像信号VDO'（以下、単に映像信号VDOと記す）の位相関係は、映像信号VDOを処理する回路において、映像信号VDOの時間軸上の位置、即ちサンプルホールドポジションを調整することにより、図6A～6Iに示すように、例えばS/H=0～5の6段階に変更することができる。

ここで、サンプルホールドによるゴースト発生依存について述べる。先ず、S/H=1のときについて考える。S/H=1のときの映像信号VDOとサンプリングパルス(SMPPL)Vhk-1, Vhk, Vhk+1との位相関係および信号ラインの電位PLSの変化を図7A～7Gに示す。なお、図7AのBLVLは黒レベルを示し、BGLVLは背景グレーレベルを示している。

S/H=1では、サンプリングパルスVhkによってパルス状の映像信号VDOがサンプルホールドされることにより、k段目の信号ラインに黒信号が書き込まれ、図8に示すように黒線BLNが表示される。

しかし同時に、映像信号VDOの黒信号部（パルス部）がk-1段目のサンプリングパルスVhk-1とオーバーラップしているため、k-1段目の信号ラインにも黒信号が書き込まれる。これにより、図8に示すように、k-1段目の位

置、即ち水平スキャン方向HSCND (VSCNDは垂直スキャン方向を示す) の手前側にゴーストGSTが発生してしまう。同様に、 $S/H = 0$  でも、 $k - 1$  段目のサンプリングパルス $V_{hk-1}$  と映像信号VDOの黒信号部とがオーバーラップしており、水平スキャン方向HSCNDの手前側にゴーストGSTが発生してしまう。

次に、 $S/H = 5$  のときについて考える。 $S/H = 5$  のときの映像信号VDO とサンプリングパルス (SMPPL)  $V_{hk-1}$ ,  $V_{hk}$ ,  $V_{hk+1}$ との位相関係および信号ラインの電位PSLの変化を図9A～9Gに示す。なお、図9AのBLVLは黒レベルを示し、BGLVLは背景グレーレベルを示している。

$S/H = 5$  では、映像黒信号は $k + 1$ 段目のサンプリングパルス $V_{hk+1}$ とオーバーラップしてしまう。 $k + 1$ 段目の信号ラインには、サンプリングスイッチがオンしたときに黒信号が書き込まれ、その後はグレーレベルまで戻ろうとする。しかし、オーバーラップ量が大きいため、信号ラインの電位は、図9G中RTNで示す分だけ、グレーレベルBGLVLまでは戻りきらない。そのため、図10に示すように、 $k + 1$ 段目の位置、即ち水平スキャン方向HSCNDの後ろ側にゴーストGSTが発生してしまう。

$S/H = 1 \sim 4$  でも $S/H = 5$  のときと同様に、 $k + 1$ 段目のサンプリングパルス $V_{hk+1}$ と映像黒信号部とはオーバーラップしており、サンプリングスイッチがオンしたときに信号ラインに黒信号が書き込まれる。しかし、 $S/H = 5$  のときに比べてオーバーラップ量が小さく、書き込まれる黒レベルが低いため、信号ラインの電位はグレーレベルまで戻りきることができる。したがって、ゴーストは発生しない。

上述したようなプロセスにて、映像信号VDOとサンプリングパルスとのオーバーラップに起因してゴーストが発生する。ここで、 $S/H = 2, 3, 4$  のように前後どちらにもゴーストが発生しないサンプルホールドポジションの数をゴーストに対するマージン (以下、ゴーストマージンと称す) とする。

このように、ビデオラインの配線抵抗や寄生容量などに起因して、パルス状の映像信号VDOの立ち上がりや立ち下がりに生じる波形のなまりの問題は避けられなくても、映像信号VDOを処理する回路部分において、最適なサンプルホールドポジションを設定することにより、ゴーストの発生を回避することができる。

しかしながら、ビデオラインの配線抵抗や寄生容量などに起因して、パルス状の映像信号VDOの立ち上がりや立ち下がりに波形のなまりが生じることにより、当該映像信号VDOのパルス波形部分が前段あるいは次段のサンプリングパルスとオーバーラップしてしまうため、その分だけゴーストマージンを大きくとれないことになる。上記の例では、ゴーストマージンがS/H = 2, 3, 4の3つとなる。

#### 発明の開示

上記目的を達成するためには、本発明では、画素が行列状に配置され、各画素列ごとに信号ラインが配線されてなる画素部に対する水平走査の際に、第1のクロック信号に同期して順にシフトパルスを得て、このシフトパルスに基づいて映像信号をサンプリングしつつ前記画素部の信号ラインに供給する表示装置において、第1のクロック信号に対して周期が同じでかつデューティ比が小さい第2のクロック信号を生成するとともに、シフトパルスに基づいて第2のクロック信号を抜き取ってサンプリングパルスとし、このサンプリングパルスによって映像信号をサンプリングしつつ画素部の信号ラインに供給する構成を探っている。

上記の構成において、第1のスイッチ群の各スイッチは、シフトレジスタから第1のクロック信号に同期して順次出力されるシフトパルスに応答して第2のクロック信号を順に抜き取る。これにより、第2のスイッチ群には、第1のクロック信号よりもデューティ比が小さい第2のクロック信号がサンプリング信号として与えられる。そして、第2のスイッチ群の各スイッチは、これらサンプリング

信号に応答して入力映像信号を順次サンプルホールドし、画素部の信号ラインに供給する。このとき、サンプリング信号のデューティ比が第1のクロック信号に比べて小さいことで、完全ノンオーバーラップサンプリングを実現できる。

### 図面の簡単な説明

図1は、従来例に係るクロックドライブ方式水平駆動回路の構成の一例を示すブロック図である。

図2A～2Iは、従来例に係るクロックドライブ方式水平駆動回路の動作説明のためのタイミングチャートである。

図3A～3Dは、従来例に係るクロックドライブ方式水平駆動回路における映像信号のサンプリング動作時のタイミングチャートである。

図4は、映像信号をm系統で並行して入力する場合のサンプリングスイッチ群の構成を示す図である。

図5A～5Cは、パルス状の映像信号になまりが生じた状態を示す波形図である。

図6A～6Iは、S/H=0～5のサンプルホールドポジションをとる映像信号VD0とオーバーラップしたサンプリングパルスVhk-1, Vhk, Vhk+1との位相関係を示すタイミングチャートである。

図7A～7Gは、S/H=1のときの映像信号VD0とオーバーラップしたサンプリングパルスVhk-1, Vhk, Vhk+1との位相関係および信号ラインの電位変化を示すタイミングチャートである。

図8は、水平スキャン方向の手前側にゴーストが生じた状態を示す図である。

図9A～9Gは、S/H=5のときの映像信号VD0とオーバーラップしたサンプリングパルスVhk-1, Vhk, Vhk+1との位相関係および信号ラインの電位変化を示すタイミングチャートである。

図10は、水平スキャン方向の後ろ側にゴーストが生じた状態を示す図である

図11は、本発明の一実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置の構成例を示す回路図である。

図12A～12Dは、水平クロックHCK, HCKXとクロックDCK, DCXとのタイミング関係を示すタイミングチャートである。

図13A～13Mは、本実施形態に係るクロックドライブ方式水平駆動回路の動作説明のためのタイミングチャートである。

図14A～14Dは、本実施形態に係るクロックドライブ方式水平駆動回路における映像信号のサンプリング動作時のタイミングチャートである。

図15A～15Iは、S/H=0～5のサンプルホールドポジションをとる映像信号VDOと完全ノンオーバーラップのサンプリングパルスVhk-1, Vhk, Vhk+1との位相関係を示すタイミングチャートである。

図16A～16Gは、S/H=1のときの映像信号VDOと完全ノンオーバーラップのサンプリングパルスVhk-1, Vhk, Vhk+1との位相関係および信号ラインの電位変化を示すタイミングチャートである。

図17A～17Gは、S/H=5のときの映像信号VDOと完全ノンオーバーラップのサンプリングパルスVhk-1, Vhk, Vhk+1との位相関係および信号ラインの電位変化を示すタイミングチャートである。

図18は、本発明に係る投写型液晶表示装置のシステム構成を示すブロック図である。

図19は、投写型カラー液晶表示装置の光学系の構成の一例を示す概略構成図である。

### 発明を実施するための最良の形態

以下、本発明の実施の形態について図面を参照して詳細に説明する。

図11は、例えば液晶セルを画素の表示エレメント（電気光学素子）として用

いた本発明の一実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置の構成例を示す回路図である。ここでは、図面の簡略化のために、4行4列の画素配列の場合を例に採って示している。なお、アクティブマトリクス型液晶表示装置では、通常、各画素のスイッチング素子として薄膜トランジスタ（TFT；thin film transistor）が用いられている。

図11において、行列状に配置された4行ラ4列分の画素（PXL）11の各々は、画素トランジスタである薄膜トランジスタTFTと、この薄膜トランジスタTFTのドレイン電極に画素電極が接続された液晶セルLCと、薄膜トランジスタTFTのドレイン電極に一方の電極が接続された保持容量Csとから構成されている。これら画素11の各々に対して、信号ライン12-1～12-4が各列ごとにその画素配列方向に沿って配線され、ゲートライン13-1～13-4が各行ごとにその画素配列方向に沿って配線されている。

画素11の各々において、薄膜トランジスタTFTのソース電極（または、ドレイン電極）は、対応する信号ライン12-1～12-4に各々接続されている。薄膜トランジスタTFTのゲート電極は、ゲートライン13-1～13-4に各々接続されている。液晶セルLCの対向電極および保持容量Csの他方の電極は、各画素間で共通にCsライン14に接続されている。このCsライン14には、所定の直流電圧がコモン電圧Vcomとして与えられる。

以上により、画素11が行列状に配置され、これら画素11に対して信号ライン12-1～12-4が各列ごとに配線されかつゲートライン13-1～13-4が各行ごとに配線されてなる画素部（PXL部）15が構成されている。この画素部15において、ゲートライン13-1～13-4の各一端は、画素部15の例えば左側に配置された垂直駆動回路（VDRV）16の各行の出力端に接続されている。

垂直駆動回路16は、1フィールド期間ごとに垂直方向（行方向）に走査してゲートライン13-1～13-4に接続された各画素11を行単位で順次選択する処理を行う。すなわち、垂直駆動回路16からゲートライン13-1に対して走査パ

ルス  $V_g 1$  が与えられたときには 1 行目の各列の画素が選択され、ゲートライン 13-2 に対して走査パルス  $V_g 2$  が与えられたときには 2 行目の各列の画素が選択される。以下同様にして、ゲートライン 13-3, 13-4 に対して走査パルス  $V_g 3, V_g 4$  が順に与えられる。

画素部 15 の例えは上側には、水平駆動回路 (HDRV) 17 が配置されている。また、垂直駆動回路 16 や水平駆動回路 17 に対して各種のクロック信号を与えるクロック生成回路 (CLKGEN: タイミングジェネレータ) 18 が設けられている。このクロック生成回路 18 では、垂直走査の開始を指令する垂直スタートパルス VST、垂直走査の基準となる互いに逆相の垂直クロック VCK, VCKX、水平走査の開始を指令する垂直スタートパルス VST、水平走査の基準となる互いに逆相の水平クロック HCK, HCKX が生成される。

クロック生成回路 18 ではさらに、図 12A~12D のタイミングチャートに示すように、水平クロック HCK, HCKX に対して周期が同じ ( $T_1 = T_2$ ) でかつデューティ比が小さい互いに逆相のクロック DCK, DCKX も生成される。ここで、デューティ比とは、パルス波形において、パルス幅  $t$  とパルス繰り返し周期  $T$  の比である。

本例の場合は、水平クロック HCK, HCKX のデューティ比 ( $t_1/T_1$ ) が 50% であり、これよりもクロック DCK, DCKX のデューティ比 ( $t_2/T_2$ ) が小さく、即ちクロック DCK, DCKX のパルス幅  $t_2$  が水平クロック HCK, HCKX のパルス幅  $t_1$  よりも狭く設定されている。

水平駆動回路 17 は、入力される映像信号 VDO を 1H (H は水平走査期間) ごとに順次サンプリングし、垂直駆動回路 16 によって行単位で選択される各画素 11 に対して書き込む処理を行うためのものであり、本例ではクロックドライブ方式を採用し、シフトレジスタ 21、クロック抜き取りスイッチ群 22 およびサンプリングスイッチ群 23 を有する構成となっている。

シフトレジスタ 21 は、画素部 15 の画素列 (本例では、4 列) に対応した 4

段のシフト段 (S/R段) 21-1～21-4からなり、水平スタートパルスHSTが与えられると、互いに逆相の水平クロックHCK, HCKXに同期してシフト動作を行う。これにより、シフトレジスタ21の各シフト段21-1～21-4からは、図13A～13Mのタイミングチャートに示すように、水平クロックHCK, HCKXの周期と同じパルス幅を持つシフトパルスVs1～Vs4が順次出力される。

クロック抜き取りスイッチ群22は、画素部15の画素列に対応した4個のスイッチ22-1～22-4からなり、これらスイッチ22-1～22-4の各一端が、クロック生成回路18からクロックDCKX, DCKを伝送するクロックライン24-1, 24-2に交互に接続されている。すなわち、スイッチ22-1, 22-3の各一端がクロックライン24-1に、スイッチ22-2, 22-4の各一端がクロックライン24-2にそれぞれ接続されている。

クロック抜き取りスイッチ群22の各スイッチ22-1～22-4には、シフトレジスタ21の各シフト段21-1～21-4から順次出力されるシフトパルスVs1～Vs4が与えられる。クロック抜き取りスイッチ群22の各スイッチ22-1～22-4は、シフトレジスタ21の各シフト段21-1～21-4からシフトパルスVs1～Vs4が与えられると、これらシフトパルスVs1～Vs4に応答して順にオン状態となることにより、互いに逆相のクロックDCKX, DCKを交互に抜き取る。

サンプリングスイッチ群23は、画素部15の画素列に対応した4個のスイッチ23-1～23-4からなり、これらのスイッチ23-1～23-4の各一端が映像信号VD0を入力するビデオライン25に接続されている。このサンプリングスイッチ群23の各スイッチ23-1～23-4には、クロック抜き取りスイッチ群22の各スイッチ22-1～22-4によって抜き取られたクロックDCKX, DCKがサンプリングパルスVh1～Vh4として与えられる。

サンプリングスイッチ群23の各スイッチ23-1～23-4は、クロック抜き取

りスイッチ群22の各スイッチ22-1～22-4からサンプリングパルスVh1～Vh4が与えられると、これらサンプリングパルスVh1～Vh4に応答して順にオン状態となることにより、ビデオライン25を通して入力される映像信号VDOを順次サンプリングし、画素部15の信号ライン12-1～12-4に供給する。

上記構成の本実施形態に係る水平駆動回路17では、シフトレジスタ21から順次出力されるシフトパルスVs1～Vs4をサンプリングパルスVh1～Vh4として用いるのではなく、サンプリングパルスVh1～Vh4に同期して、互いに逆相のクロックDCKX, DCKを交互に抜き取り、これらクロックDCKX, DCKを直接サンプリングパルスVh1～Vh4として用いるようにしている。これにより、サンプリングパルスVh1～Vh4のばらつきを抑えることができる。その結果、サンプリングパルスVh1～Vh4のばらつきに起因するゴーストを除去できることになる。

しかも、本実施形態に係る水平駆動回路17においては、従来技術の場合のように、シフトレジスタ21のシフト動作の基準となる水平クロックHCKX, HCKを抜き取ってサンプリングパルスVh1～Vh4として用いるのではなく、水平クロックHCKX, HCKに対して同じ周期でかつデューティ比の小さいクロックDCKX, DCKを別途生成し、これらクロックDCKX, DCKを抜き取ってサンプリングパルスVh1～Vh4として用いるようにしているので、次のような作用効果が得られる。

すなわち、クロックDCKX, DCKがクロック抜き取りスイッチ群22の各スイッチ22-1～22-4で抜き取られ、サンプリングスイッチ群23の各スイッチ23-1～23-4に与えられるまでの伝送過程において、配線抵抗や寄生容量などに起因してパルスに遅延が生じ、抜き取られたクロックDCKX, DCKの波形になまりが生じたとしても、特に図14A～14Dのタイミングチャートから明らかなように、抜き取られたクロックDCKX, DCKの各々が前後のパルス

との間で完全ノンオーバーラップの波形となる。なお、図14Dはビデオライン25の電位P25を示している。

そして、この完全ノンオーバーラップ波形のクロックDCKX, DCKをサンプリングパルスVh1～Vh4として用いることにより、サンプリングスイッチ群23において、あるk段目に着目したとき、k+1段目のサンプリングスイッチがオンする前に必ずk段目のサンプリングスイッチによる映像信号VDOのサンプリングを完了することができる。

これにより、サンプリングスイッチ群23の各スイッチ23-1～23-4がオンする瞬間に、たとえビデオライン25に充放電ノイズが乗るとしても、図14A～14Dに示すように、次の段のスイッチングによって充放電ノイズが発生する以前に必ず自段のサンプリングが行われるため、充放電ノイズをサンプリングするのを防ぐことができる。その結果、水平駆動の際に、サンプリングパルス相互間での完全ノンオーバーラップサンプリングを実現できるため、オーバーラップサンプリングに起因する縦スジの発生を抑えることができる。

また、完全ノンオーバーラップサンプリングを実現できることで、ゴーストが発生しないゴーストマージンを従来よりも大きくとることもできる。以下に、この点について詳述する。

図15A～15Iに、例えばS/H=0～5のサンプルホールドポジションをとる映像信号VDOと完全ノンオーバーラップのサンプリングパルス(SMPL) Vh k-1, Vh k, Vh k+1との位相関係を示す。

先ず、S/H=1のときについて考える。S/H=1のときの映像信号VDOとサンプリングパルス(SMPL) Vh k-1, Vh k, Vh k+1との位相関係および信号ラインの電位PLSの変化を図16A～16Gに示す。なお、図16AのBLVLは黒レベルを示し、BGLVLは背景グレーレベルを示している。

S/H=1では、k-1段目のサンプリングパルスVh k-1と映像信号V

〇の黒信号部（パルス部）とオーバーラップしない。したがって、サンプリングパルス  $V_{h k}$  によってパルス状の映像信号  $VDO$  をサンプリングした際に、 $k$  段目の信号ラインにのみ黒信号が書き込まれるため、水平スキャン方向の手前側にゴーストは発生しない。

次に、 $S/H = 5$  のときについて考える。 $S/H = 5$  のときの映像信号  $VDO$  とサンプリングパルス（SMPL） $V_{h k-1}$ ,  $V_{h k}$ ,  $V_{h k+1}$  との位相関係および信号ラインの電位  $PSL$  の変化を図 17A～17G に示す。

$S/H = 5$  では、映像黒信号は  $k+1$  段目のサンプリングパルス  $V_{h k+1}$  とオーバーラップしてしまう。 $k+1$  段目の信号ラインには、サンプリングスイッチがオンしたときに黒信号が書き込まれ、その後はグレーレベルまで戻ろうとする。しかし、オーバーラップ量が大きいために、図 17G 中  $NRTN$  で示す分だけ、信号ラインの電位はグレーレベルまでは戻りきらない。したがって、水平スキャン方向の後ろ側にゴーストが発生する。

$S/H = 1 \sim 4$  でも  $S/H = 5$  のときと同様に、 $k+1$  段目のサンプリングパルス  $V_{h k+1}$  と映像黒信号部とはオーバーラップしており、サンプリングスイッチがオンしたときに信号ラインに黒信号が書き込まれる。しかし、 $S/H = 5$  のときに比べてオーバーラップ量が小さく、書き込まれる黒レベルが低いため、信号ラインの電位はグレーレベルまで戻りきることができる。したがって、水平スキャン方向の後ろ側にゴーストは発生しない。

ここで、サンプリングパルス  $V_{h k-1}$ ,  $V_{h k}$ ,  $V_{h k+1}$  が相互にオーバーラップすることで、オーバーラップサンプリングとなる従来技術の場合と対比すると、従来技術ではゴーストマージンが  $S/H = 2, 3, 4$  の 3 つであるのに対して、完全ノンオーバーラップサンプリングの本方式では  $S/H = 2, 3, 4$  に  $S/H = 0, 1$  の 2 つが加わって計 5 つがゴーストマージンとなり、ゴーストマージンを上げることができる。

なお、上記実施形態では、アナログ映像信号を入力とし、これをサンプリング

して点順次にて各画素を駆動するアナログインターフェース駆動回路を搭載した液晶表示装置に適用した場合について説明したが、ディジタル映像信号を入力とし、これをラッチした後アナログ映像信号に変換し、このアナログ映像信号をサンプリングして点順次にて各画素を駆動するディジタルインターフェース駆動回路を搭載した液晶表示装置にも、同様に適用可能である。

また、上記実施形態においては、各画素の表示エレメント（電気光学素子）として液晶セルを用いたアクティブマトリクス型液晶表示装置に適用した場合を例に採って説明したが、液晶表示装置への適用に限られるものではなく、各画素の表示エレメントとしてエレクトロルミネッセンス（EL:electroluminescence）素子を用いたアクティブマトリクス型EL表示装置など、水平駆動回路にクロックドライブ方式を採用した点順次駆動方式のアクティブマトリクス型表示装置全般に適用可能である。

点順次駆動方式としては、周知の1H反転駆動方式やドット反転駆動方式の外に、映像信号を書き込んだ後の画素配列において、画素の極性が隣り合う左右の画素で同極性となり、かつ上下の画素で逆極性となるように、隣り合う画素列間で奇数行離れた2行、例えば上下の2行の画素に互いに逆極性の映像信号を同時に書き込むいわゆるドットライン反転駆動方式などがある。

以上説明した実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置は、投写型液晶表示装置（液晶プロジェクタ）の表示パネル、即ちLCD（liquid crystal display）パネルとして用いることが可能である。

図18は、投写型液晶表示装置のシステム構成を示すブロック図である。本例に係る投写型液晶表示装置は、映像信号源31、システムボード32およびLCDパネル33を有する構成となっている。

このシステム構成において、システムボード32では、映像信号源31から出力される映像信号に対して先述したサンプルホールドポジションの調整などの信号処理が行われる。システムボード32には、図11のクロック生成回路（タイ

ミングジェネレータ) 18 も搭載される。そして、LCDパネル33として、先述した実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置が用いられる。また、カラーの場合には、LCDパネル33がR(赤), G(緑), B(青)にそれぞれ対応して設けられる。

図19は、投写型カラー液晶表示装置の光学系の構成の一例を示す概略構成図である。図19において、光源41から発せられる白色光は、第1のビームスプリッタ42で特定の色成分、例えば一番波長の短いB(青)の光成分のみが透過し、残りの色の光成分は反射される。第1のビームスプリッタ42を透過したBの光成分は、ミラー43で光路が変更され、レンズ44を通してBのLCDパネル45Bに照射される。

第1のビームスプリッタ42で反射された光成分については、第2のビームスプリッタ46で例えばG(緑)の光成分が反射され、R(赤)の光成分が透過する。第2のビームスプリッタ46で反射されたGの光成分は、レンズ47を通してGのLCDパネル45Gに照射される。第2のビームスプリッタ46を透過したRの光成分は、ミラー48, 49で光路が変更され、レンズ50を通してRのLCDパネル45Rに照射される。

LCDパネル45R, 45G, 45Bは各々、複数の画素がマトリクス状に配置されてなる第1の基板と、この第1の基板に対して所定の間隔をもって対向配置された第2の基板と、これら基板間に保持された液晶層と、各色に対応したフィルタ層とを有する構成となっている。これらLCDパネル45R, 45G, 45Bを経たR, G, Bの各光は、クロスプリズム51で光合成される。そして、このクロスプリズム51から出射される合成光は、投射プリズム52によってスクリーン53に投射される。

上記構成の投写型液晶表示装置において、LCDパネル45R, 45G, 45Bとして、先述した実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置を用いることにより、当該液晶表示装置では水平駆動系において完全

ノンオーバーラップサンプリングを実現したこと、オーバーラップサンプリングに起因する縦スジの発生を抑えることができるとともに、ゴーストマージンを上げることができるために、より高画質の画像表示を実現できる。

なお、投写型液晶表示装置にはリアタイプとフロントタイプとがあり、一般的に、リアタイプの投写型液晶表示装置は動画用のプロジェクションTVとして、フロントタイプの投写型液晶表示装置はデータプロジェクタとして用いられているが、先述した実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置はいずれのタイプにも適用可能である。また、ここでは、カラーの投写型液晶表示装置に適用した場合を例に採って説明したが、モノクロの投写型液晶表示装置にも同様に適用可能である。

#### 産業上の利用可能性

以上説明したように、本発明によれば、点順次駆動方式のアクティブマトリクス型表示装置において、クロックドライブ方式にて水平駆動を行う際に、水平走査の基準となる第1のクロック信号に対して周期が同じでかつデューティ比が小さい第2のクロック信号を生成し、この第2のクロック信号を抜き取ってサンプリングパルスとして映像信号のサンプリングを行うようにしたことにより、完全ノンオーバーラップサンプリングを実現できるため、オーバーラップサンプリングに起因する縦スジの発生を抑えることができるとともに、ゴーストマージンを上げることができるもの。

## 請求項の範囲

1. 画素が行列状に配置され、各画素列ごとに信号ラインが配線されてなる画素部と、

水平走査の基準となる第1のクロック信号を生成するとともに、この第1のクロック信号に対して周期が同じでかつデューティ比が小さい第2のクロック信号を生成するクロック生成手段と、

前記第1のクロック信号に同期してシフト動作を行い、各シフト段からシフトパルスを順次出力するシフトレジスタと、

前記シフトレジスタから順次出力される前記シフトパルスに応答して前記第2のクロック信号を抜き取る第1のスイッチ群と、

入力される映像信号を前記第1のスイッチ群の各スイッチによって抜き取られた前記第2のクロック信号に応答して順次サンプリングして前記画素部の各信号ラインに供給する第2のスイッチ群と

を備えたことを特徴とする表示装置。

2. 前記画素の表示エレメントが液晶セルである

ことを特徴とする請求項1記載の表示装置。

3. 画素が行列状に配置され、各画素列ごとに信号ラインが配線されてなる画素部に対する水平走査の際に、第1のクロック信号に同期して順にシフトパルスを得て、このシフトパルスに基づいて映像信号をサンプリングしつつ前記画素部の信号ラインに供給する表示装置の駆動方法であって、

前記第1のクロック信号に対して周期が同じでかつデューティ比が小さい第2のクロック信号を生成し、

前記シフトパルスに基づいて前記第2のクロック信号を抜き取ってサンプリングパルスとし、

このサンプリングパルスによって前記映像信号をサンプリングしつつ前

記画素部の信号ラインに供給する

ことを特徴とする表示装置の駆動方法。

4. 前記画素の表示エレメントが液晶セルである

ことを特徴とする請求項3記載の表示装置の駆動方法。

5. 水平走査の基準となる第1のクロック信号を生成するとともに、この第1のクロック信号に対して周期が同じでかつデューティ比が小さい第2のクロック信号を生成するクロック生成手段と、

画素が行列状に配置され、各画素列ごとに信号ラインが配線されてなる画素部と前記第1のクロック信号に同期して順次得られるシフトパルスに基づいて前記第2のクロック信号を抜き取り、この抜き取った第2のクロック信号に応答して入力映像信号を順次サンプリングして前記画素部の各信号ラインに供給する水平駆動系とを有する表示パネルと、

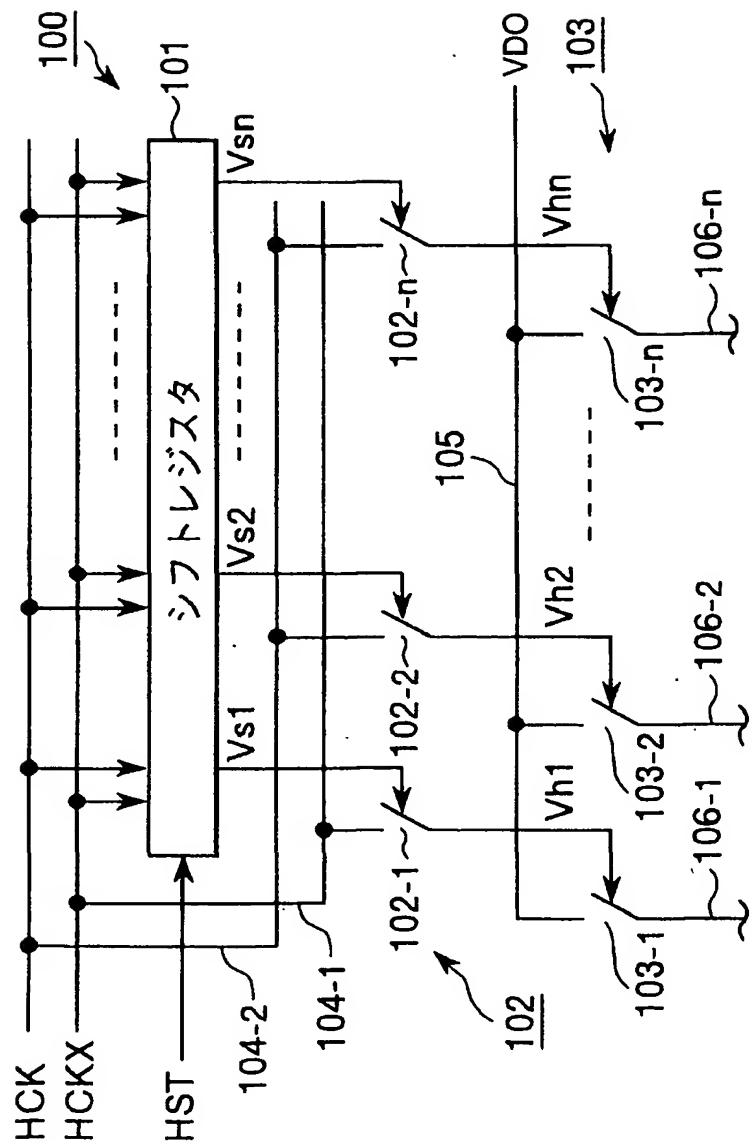
前記表示パネルに光を照射する照射手段と、

前記表示パネルを経た光をスクリーン上に投影する投影手段とを備えたことを特徴とする投写型表示装置。

6. 前記画素部の各画素の表示エレメントが液晶セルである

ことを特徴とする請求項5記載の投写型表示装置。

FIG. 1



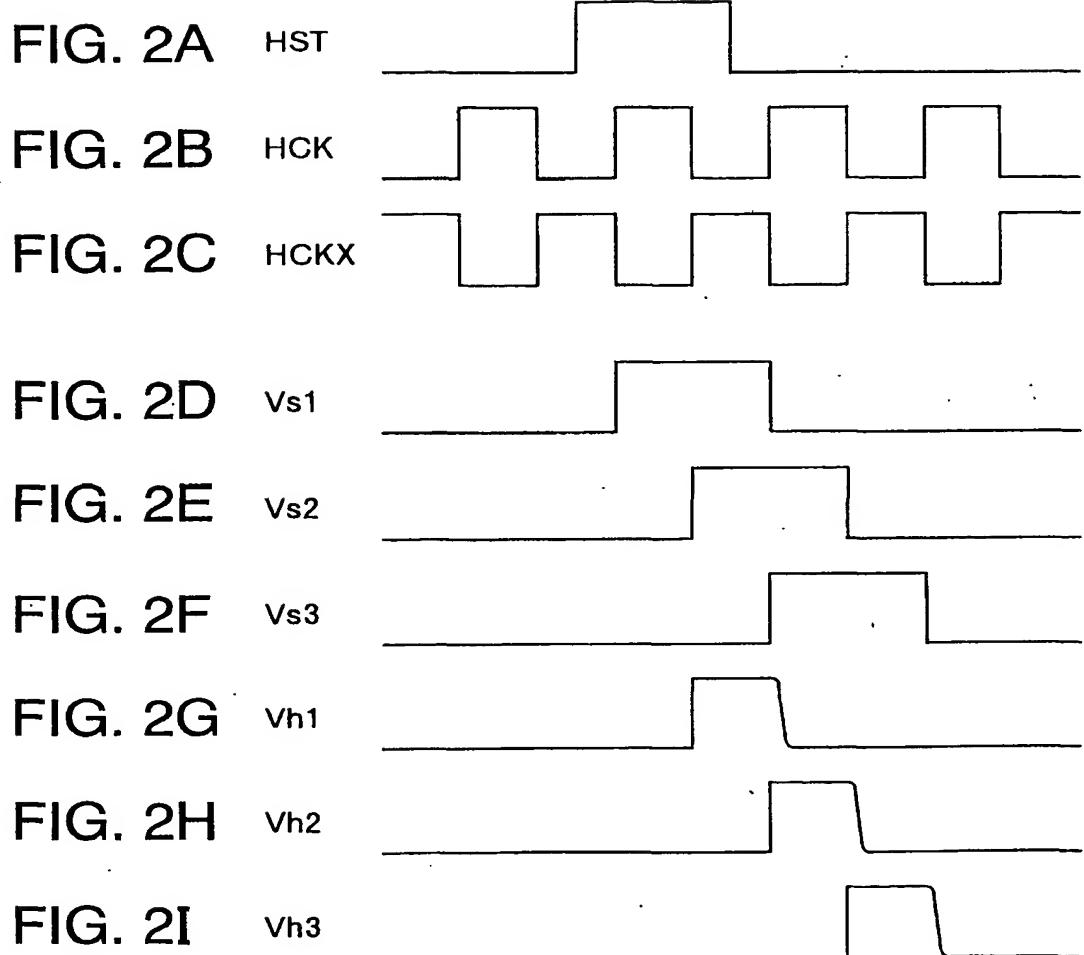


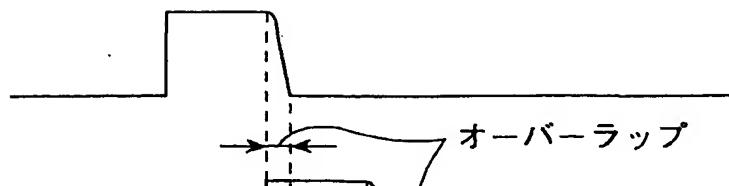
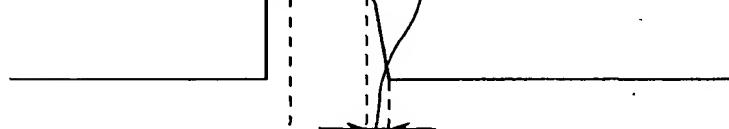
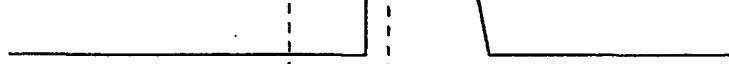
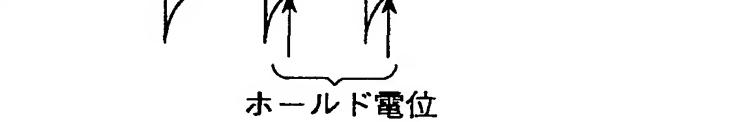
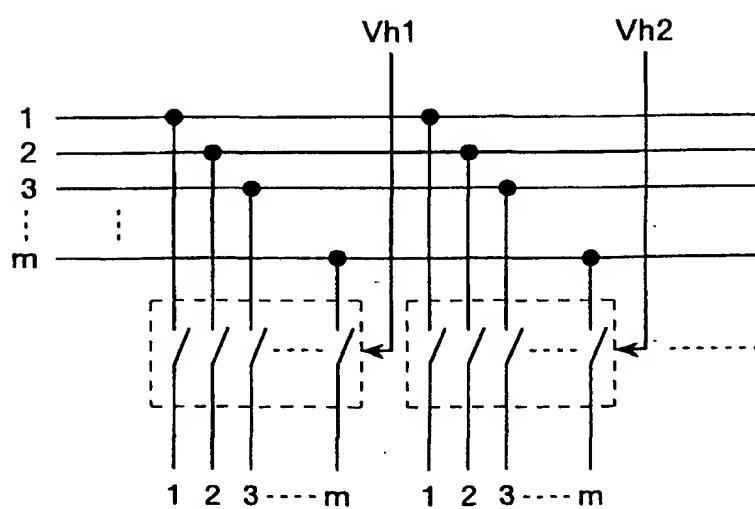
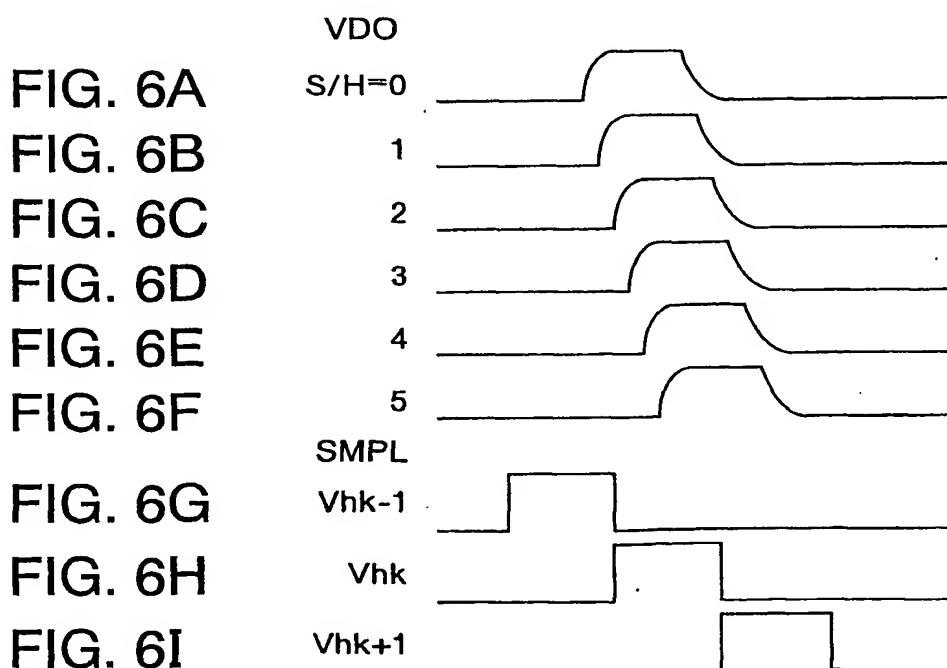
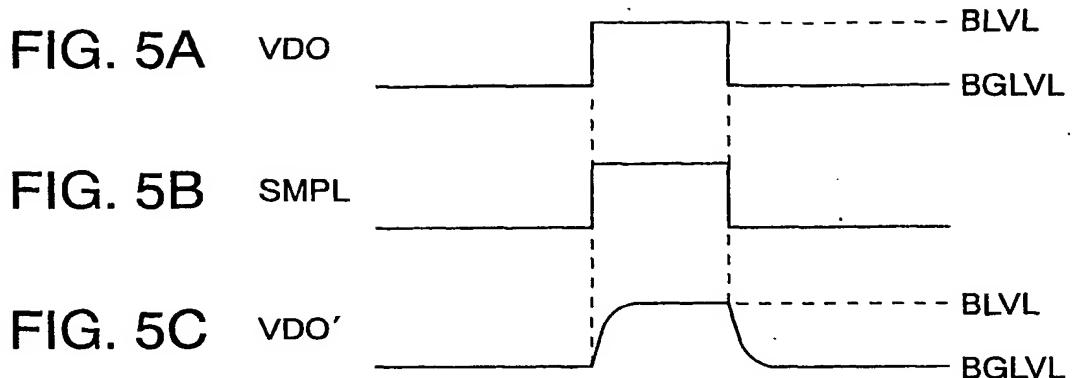
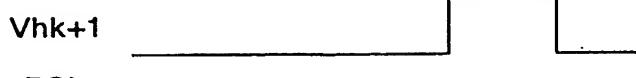
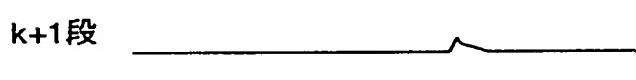
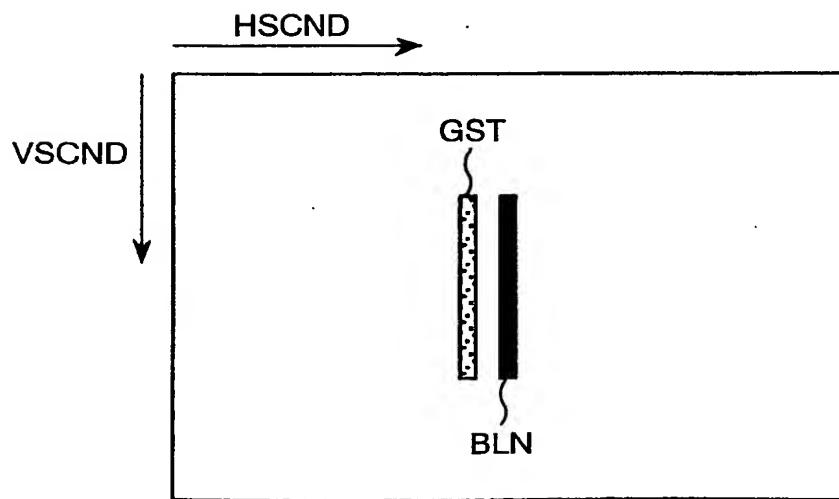
FIG. 3A  $V_{h1}$ FIG. 3B  $V_{h2}$ FIG. 3C  $V_{h3}$ FIG. 3D  $P_{105}$ 

FIG. 4





**FIG. 7A****FIG. 7B****FIG. 7C****FIG. 7D****FIG. 7E****FIG. 7F****FIG. 7G****FIG. 8**

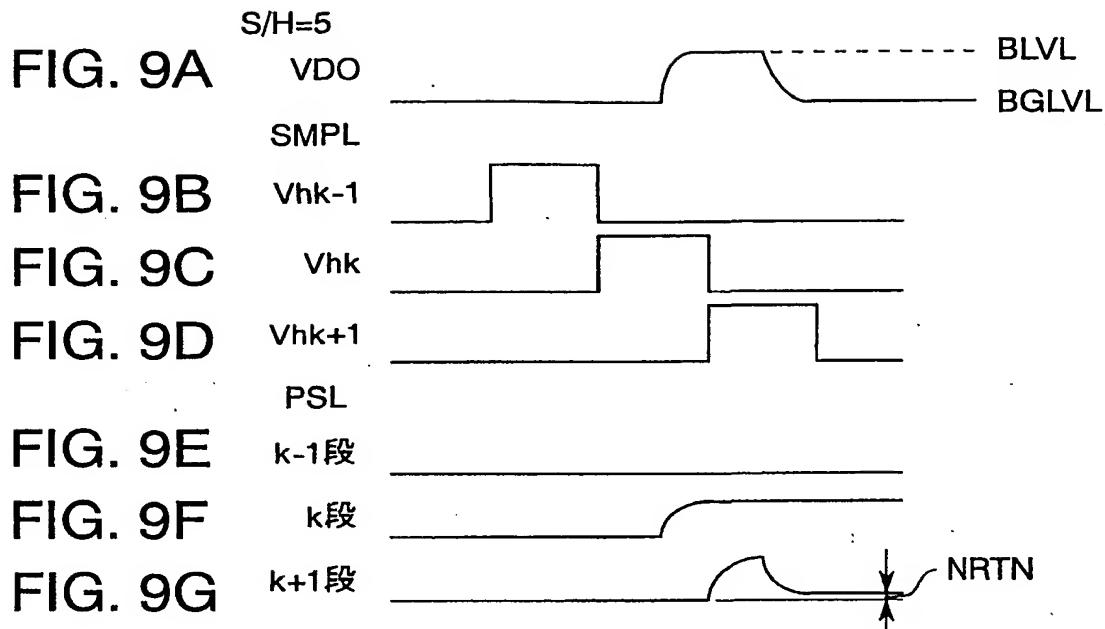
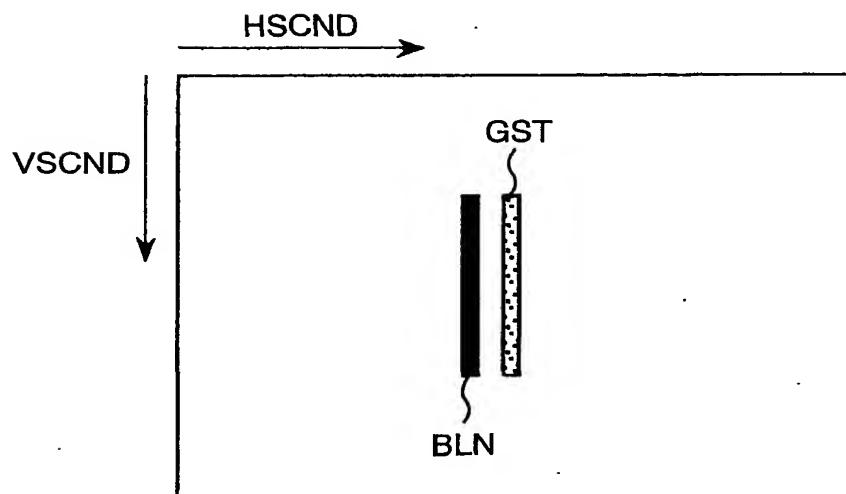
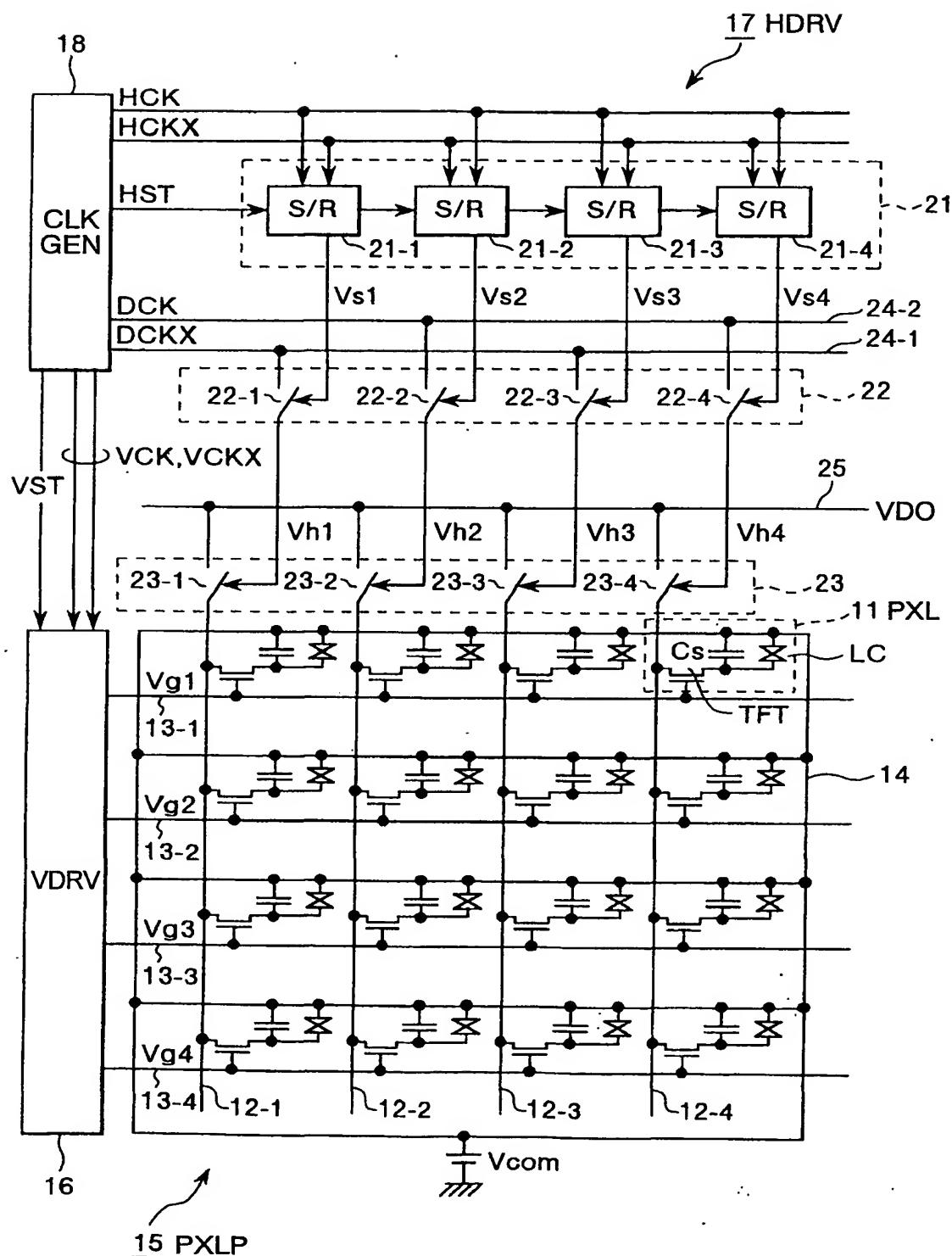
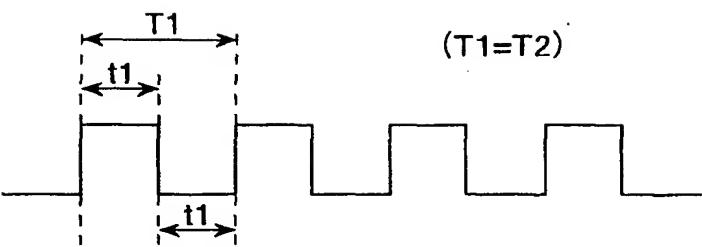
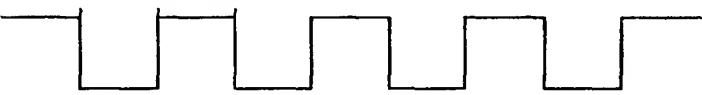
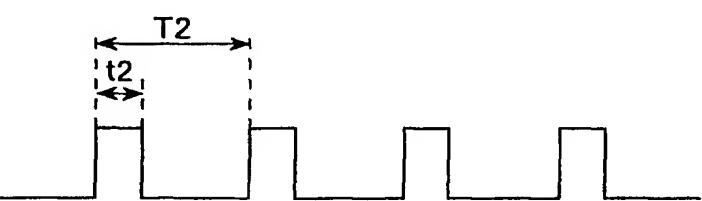
**FIG. 10**

FIG. 11



**FIG. 12A** HCK**FIG. 12B** HCKX**FIG. 12C** DCK**FIG. 12D** DCKX

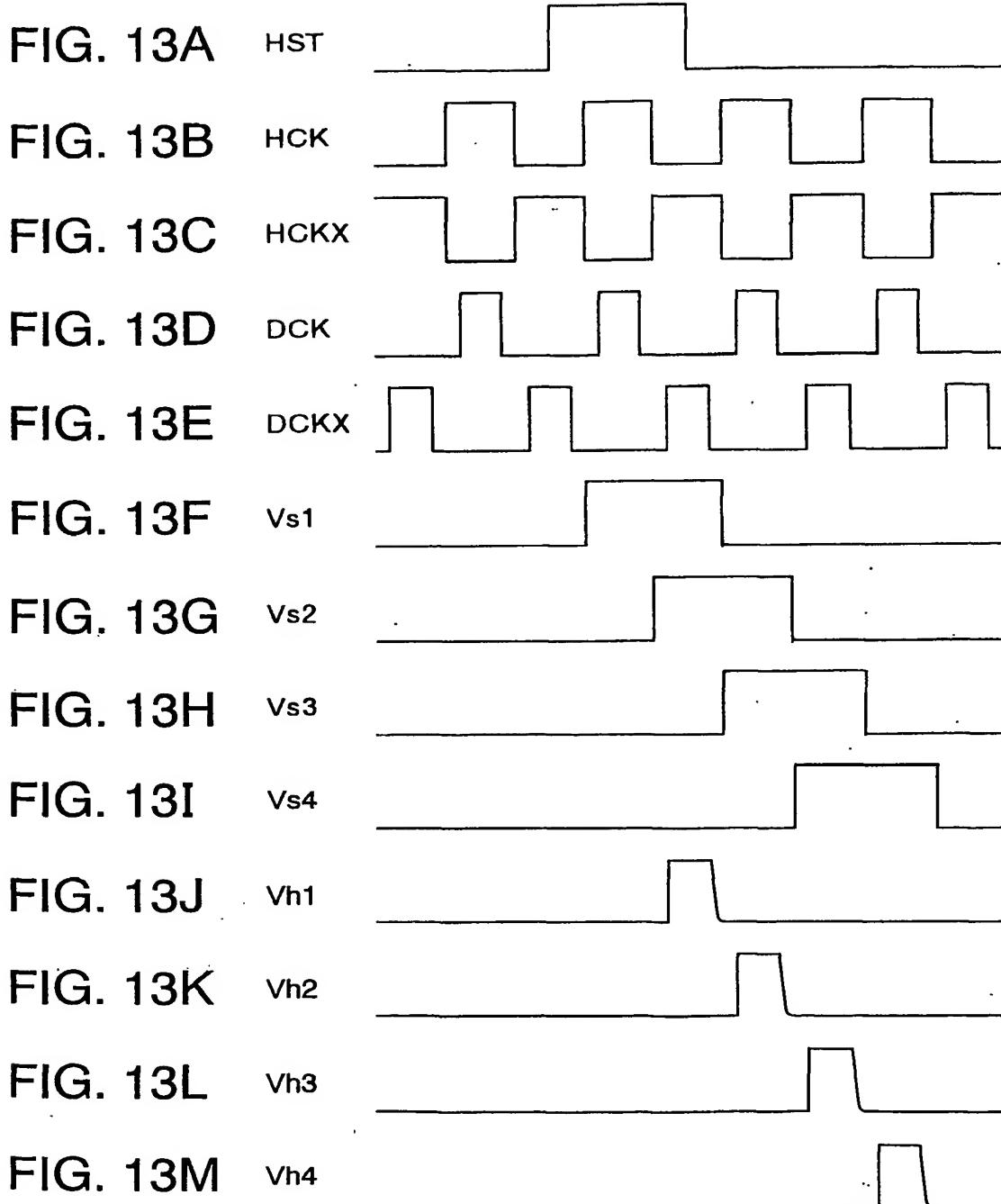


FIG. 14A



FIG. 14B

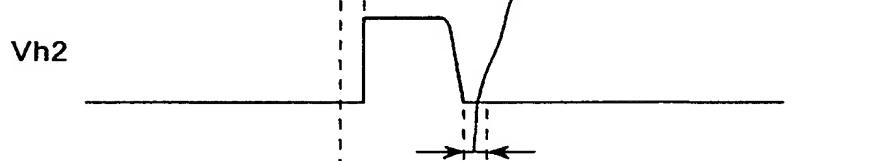
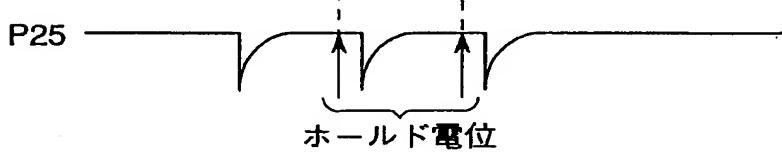


FIG. 14C



FIG. 14D



**FIG. 15A**

**FIG. 15B**

**FIG. 15C**

**FIG. 15D**

**FIG. 15E**

**FIG. 15F**

**FIG. 15G**

**FIG. 15H**

**FIG. 15I**

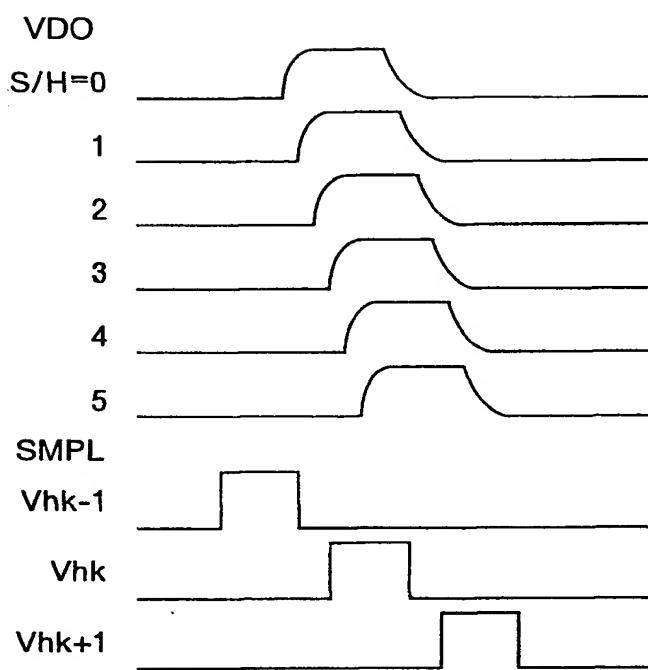


FIG. 16A

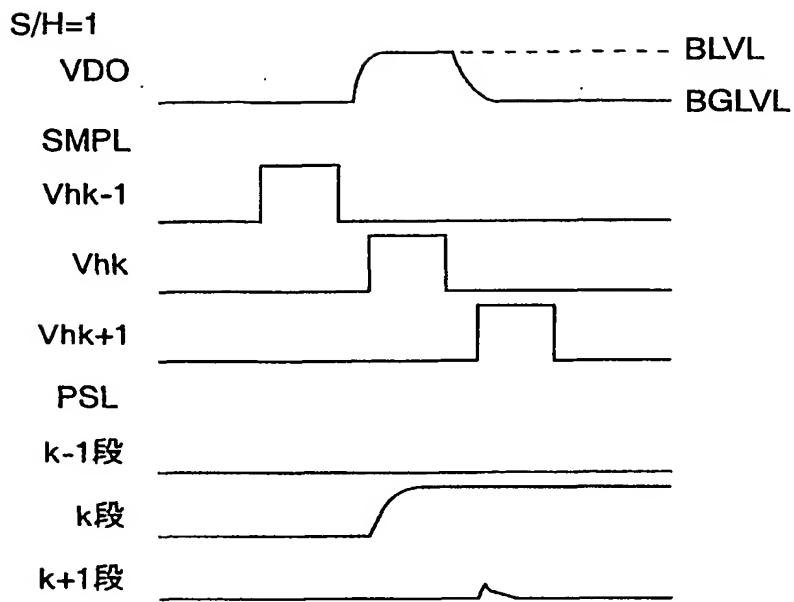


FIG. 16B

FIG. 16C

FIG. 16D

FIG. 16E

FIG. 16F

FIG. 16G

FIG. 17A

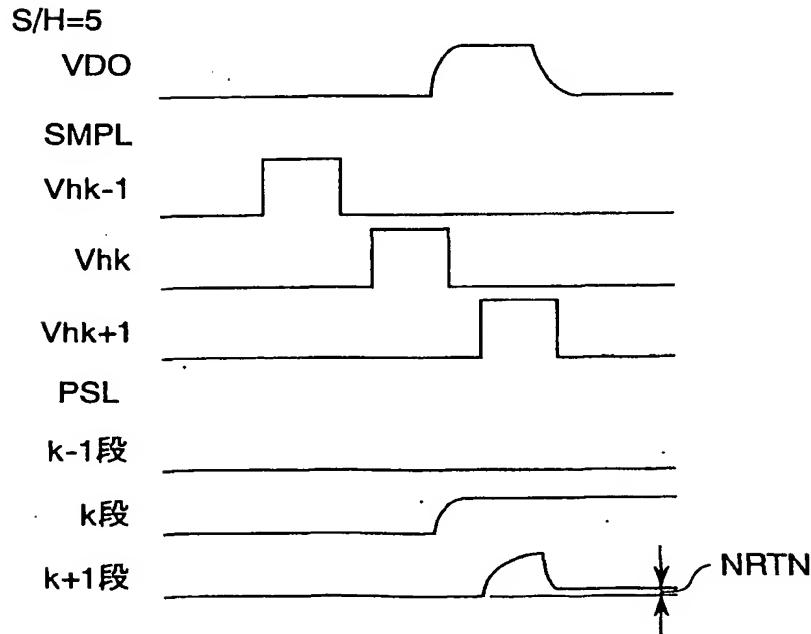


FIG. 17B

FIG. 17C

FIG. 17D

FIG. 17E

FIG. 17F

FIG. 17G

FIG. 18

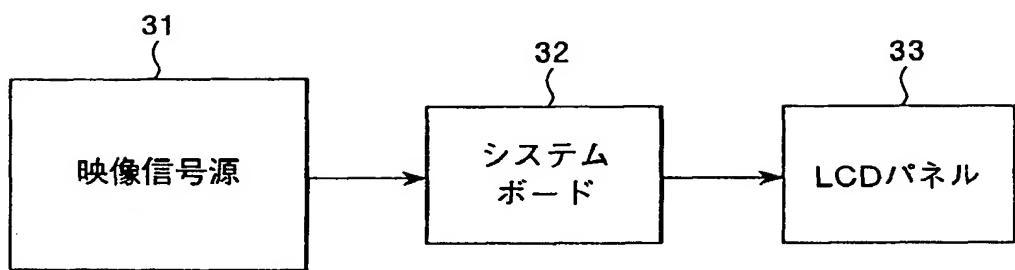
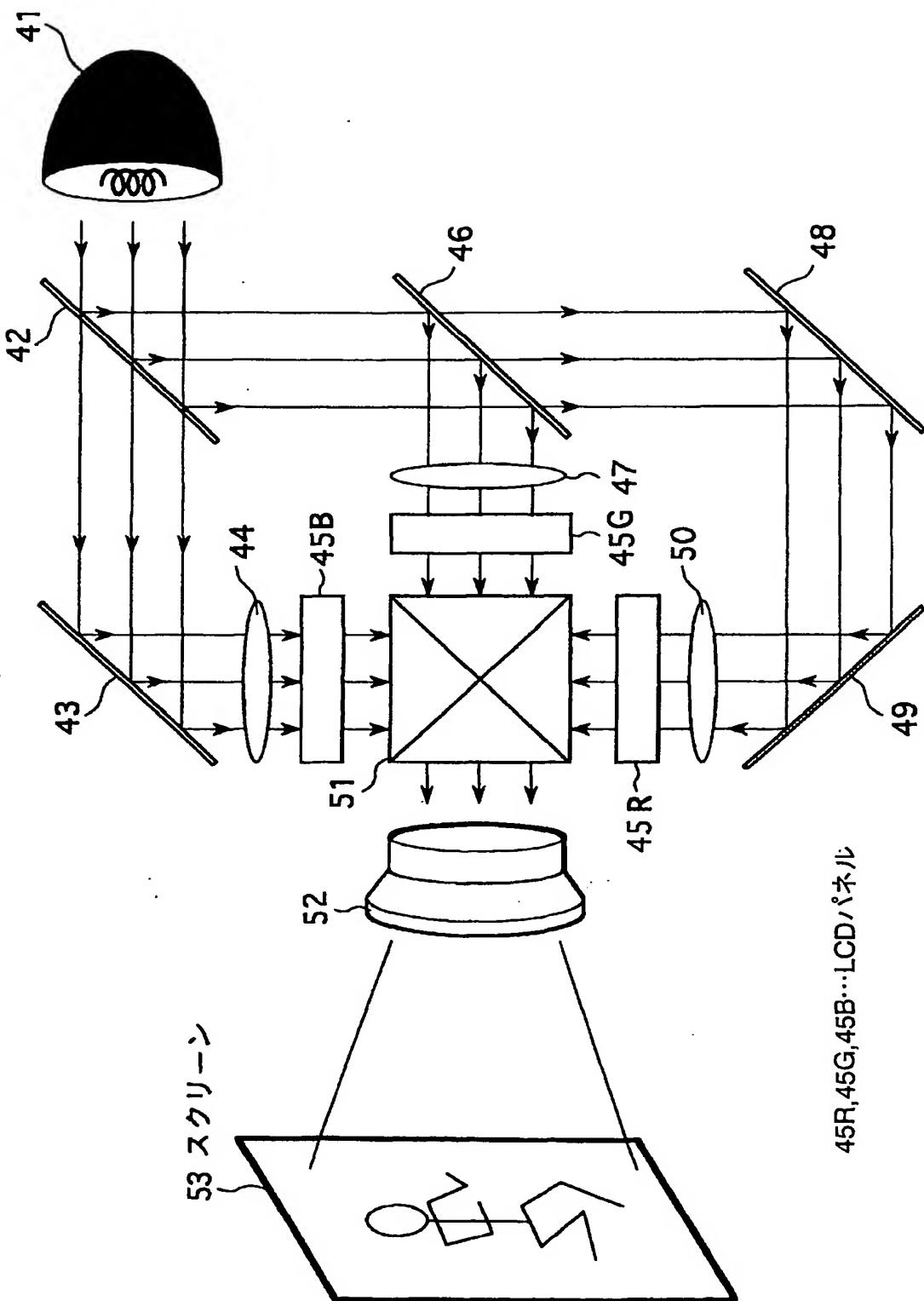


FIG. 19



## 符号リスト

1 1 ……画素

1 2-1～1 2-4 ……信号ライン

1 3-1～1 3-4 ……ゲートライン

1 5 ……画素部

1 6 ……垂直駆動回路

1 7 ……水平駆動回路

1 8 ……クロック生成回路

2 1 ……シフトレジスタ

2 2 ……クロック抜き取りスイッチ群

2 3 ……サンプリングスイッチ群

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/05063

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G09G3/36

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2001
Kokai Jitsuyo Shinan Koho	1971-2001	Jitsuyo Shinan Toroku Koho	1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-81858 A (Seiko Epson Corporation), 21 March, 2000 (21.03.00), column 12, line 1 to column 13, line 7; Figs. 3, 4 (Family: none)	1-6
Y	JP 10-143115 A (Sharp Corporation), 29 May, 1998 (29.05.98), column 9, line 17 to column 12, line 7; Figs. 1, 3, 4 (Family: none)	1-6
P, X	JP 2000-310963 A (Seiko Epson Corporation), 07 November, 2000 (07.11.00), column 10, line 23 to column 12, line 4 (Family: none)	1-6
P, X	JP 2000-310964 A (Seiko Epson Corporation), 07 November, 2000 (07.11.00), column 10, line 23 to column 12, line 4 (Family: none)	1-6

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"B" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
04 July, 2001 (04.07.01)Date of mailing of the international search report  
17 July, 2001 (17.07.01)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C17G09G3/36

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C17G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2001年
日本国登録実用新案公報	1994-2001年
日本国実用新案登録公報	1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-81858 A (セイコーエプソン株式会社) 21. 3月. 2000 (21. 03. 00) 第12欄第1行-第13欄第7行, 図3, 図4 (ファミリーなし)	1-6
Y	JP 10-143115 A (シャープ株式会社) 29. 5月. 1998 (29. 05. 98) 第9欄第17行-第12欄第7行, 図1, 図3, 図4 (ファミリー無し)	1-6
P, X	JP 2000-310963 A (セイコーエプソン株式会社) 7. 11月. 2000 (07. 11. 00) 第10欄第23行-第	1-6

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

04. 07. 01

国際調査報告の発送日

17.07.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴野 幹夫



2G 8621

電話番号 03-3581-1101 内線 6235

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
P, X	12欄第4行 (ファミリー無し)  JP 2000-310964 A (セイコーエプソン株式会社) 7. 11月. 2000 (07. 11. 00) 第10欄第23行—第 12欄第4行 (ファミリー無し)	1-6